

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-94593

(43) 公開日 平成7年(1995)4月7日

(51) Int.Cl.⁶

識別記号

片内整理番号

P I

技術表示箇所

H 0 1 L 21/8228
27/082
21/331

7210-4M

H 0 1 L 27/ 08
29/ 72

1 0 1 C

審査請求 未請求 請求項の数 1 O L (全 7 頁) 最終頁に続く

(21) 出願番号

特願平5-234368

(22) 出願日

平成5年(1993)9月21日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 本郷 誠人

神奈川県川崎市幸区小向京芝町1番地 株
式会社東芝研究開発センター内

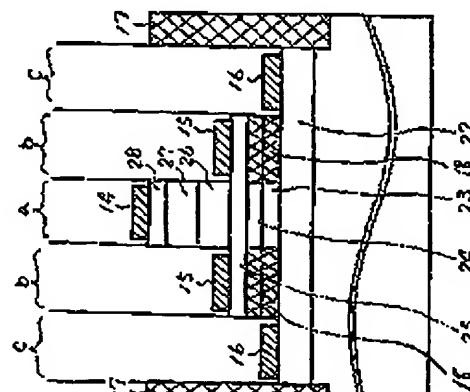
(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 相補型半導体装置

(57) 【要約】

【目的】 本発明は、簡便に作製でき、かつ高速度動作を実現できる相補型半導体装置を提供することを目的とする。

【構成】 npn型トランジスタ及びpnp型トランジスタが集積されている相補型半導体装置において、前記nnp型トランジスタのコレクタ層がベース側からp⁻層27/n⁻層26、前記pnp型トランジスタのコレクタ層がベース側からn⁻層26/p⁻層27で構成されていることを特徴とする相補型半導体装置。



(2)

特開平7-94593

1

【特許請求の範囲】

【請求項1】基板上にp型半導体層、高濃度n型半導体層、低濃度n型半導体層、低濃度p型半導体層、高濃度p型半導体層及びn型半導体層をこの順に或いは逆順に形成し、

前記各半導体層の内前記p型半導体層をエミッタ層、前記高濃度n型半導体層をベース層、前記低濃度n型半導体層及び前記低濃度p型半導体層をコレクタ層とするnpn型トランジスタと、

前記n型半導体層をエミッタ層、前記高濃度p型半導体層をベース層、前記低濃度n型半導体層及び前記低濃度p型半導体層をコレクタ層とするnpn型トランジスタとを具備することを特徴とする相補型半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は相補型半導体装置に関する。

【0002】

【従来の技術】従来、npn型／pnp型相補型回路の製造方法としては、再成長によりnpn型トランジスタとpnp型トランジスタをそれぞれ別々に成長する方法が知られている。この場合、例えば先ず、npn型トランジスタを作製するために半導体基板上にnpnの各導電型を有する半導体層を順次成長後パターン形成し、所定の部分をエッチング等の処理を施しnpn型トランジスタを作製する。次にpnp型トランジスタを作製する部分をエッチング除去後pnpの各導電型を有する半導体層を再成長させ同様にpnp型トランジスタを作製する。この際かなりの厚さをエッチングした後の再成長であり結晶中のドーパントの拡散や、再成長された半導体層の結晶性の問題、またnpn型トランジスタとpnp型トランジスタとの間のスペーシングが大きくなってしまい高集積化に適していない等の問題がある。

【0003】このような問題点を解決する手段として、基板上にpni pnの各導電型を有する半導体層を5層順次積層後、最初の4層のpni p層をpnp型トランジスタ（p型エミッタ層／n型ベース層／i型コレクタ層／p型サブコレクタ層）として用い、第2層から第5層のn i pn層をnpn型トランジスタ（n型サブコレクタ層／i型コレクタ層／p型ベース層／n型エミッタ

2

いる。このpnp型トランジスタ（pni p層のi層をコレクタ層として用いている）において、ベース・エミッタ間の電圧を上げて、コレクタ電流を増加させるとコレクタ層にキャリアである電子が蓄積される。この時コレクタ層はi型であるので、蓄積された正孔のためにコレクタ層が正の空間電荷を帯びてしまい、この正の空間電荷によってベース・コレクタ間に印加された電界が緩和される。この結果コレクタ空乏層走行時間が増加してしまうという問題が生じる。従って、高電流領域で遮断周波数 f_T が低下するという問題があった。このことはnpn型トランジスタにおいても同様でキャリアである電子がi型であるコレクタ層に蓄積されコレクタ層が負の空間電荷を帯びてしまいやはりコレクタ空乏層走行時間が増加する。従って f_T が低下するという問題があった。

【0005】本発明は、上記の問題点を鑑みなされたもので、1回の結晶成長を行うだけで簡便に作製でき良好な結晶性を有するものであって、しかも特に高電流領域で高周動作が実現できる相補型半導体装置を提供することを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するために、本発明による相補型半導体装置は、基板上に順次p型半導体層、高濃度n型半導体層、低濃度n型半導体層、低濃度p型半導体層、高濃度p型半導体層及びn型半導体層を形成するか或いはn型半導体層、高濃度p型半導体層、低濃度p型半導体層、低濃度n型半導体層、高濃度n型半導体層及びp型半導体層とを順次形成し、前記各半導体層の内前記p型半導体層をエミッタ層、前記高濃度n型半導体層をベース層、前記低濃度n型半導体層及び前記低濃度p型半導体層をコレクタ層とするpnp型トランジスタと、前記n型半導体層をエミッタ層、前記高濃度p型半導体層をベース層、前記低濃度n型半導体層及び前記低濃度p型半導体層をコレクタ層とするnpn型トランジスタとを備えることを特徴とするものである。

【0007】本発明による相補型半導体装置は、前記pnp型トランジスタにおいて前記高濃度p型半導体層を前記コレクタ層とコレクタ電極とのオーミック接合をとるためのサブコレクタ層として用い、前記npn型トラ

(3)

特開平7-94593

3

4

m^{-1} 、 n 型半導体層が $5 \times 10^{17} \text{ cm}^{-3} \sim 2 \times 10^{19} \text{ cm}^{-3}$ であることが好ましく、このようなキャリア濃度であれば良好なトランジスタ特性を期待できる。

【0009】また、本発明の相補型半導体装置において、半導体材料としてはAlGaAs系（エミッタ、ベースがAlGaAs／コレクタ、基板がGaAs）やInP系（エミッタ、ベースがInP／コレクタがInGaAs／基板がInP或いはエミッタ、ベースがInAlAs／コレクタがInGaAs／基板がInP）、Si系等を用いることができる。

【0010】

【作用】本発明による相補型半導体装置は、 $p/n^+/n^-/p^-/p^+/n$ の積層構造を利用しnpn型トランジスタはpエミッタ層/ n^- ベース層/ (n^-/p^-) コレクタ層構造としnpn型トランジスタは (n^-/p^-) コレクタ層/ p^+ ベース層/ n エミッタ層構造とする。すなわち、一度の成長において形成された $p/n^+/n^-/p^-/p^+/n$ の積層構造のうち、 (n^-/p^-) 層をnpn型及びnpn型トランジスタのコレクタ層として用いるものである。

【0011】まず、npn型トランジスタにおいて、コレクタ層はベース側から p^-/n^- 積層構造となっており、ベース・エミッタ間の電圧を上げてコレクタ電流を増加させるとコレクタ層の内 n^- 層にキャリアである電子が蓄積される。ところがこの構造の場合、 n^- 層における正の空間電荷により電子の蓄積により生ずる負の電荷を電気的に相殺するためベース・コレクタ間に印加された電界を緩和することはない。従って電子は加速されてコレクタ電極に流れ込む。すなわち、高電流領域において遮断周波数 f_T が減少することなく高い動作特性を得ることができる。また、npnトランジスタにおいてベース側の p^- コレクタ層によりキャリア電子は有効質量の大きいL帯やX帯に遷移することなく、常に有効質量の小さいΓ帯を走行することができるため短時間で p^- 層をぬけることができさらに高速動作を期待できる。

【0012】このことはnpn型トランジスタにおいても同様である。すなわちnpn型トランジスタにおいて、コレクタ層はベース側から n^-/p^- 構造となっており、ベース・エミッタ間の電圧を上げてコレクタ電流を増加させると p^- 層にキャリアである正孔が蓄積され

【0014】

【実施例】以下図面を参照し本発明の実施例を説明する。図1は本発明の第1の実施例であるAlGaAs／GaAs系HBTを用いたエミッタトップNpn型トランジスタとコレクタトップPnp型トランジスタを集積した相補型半導体装置の断面図である。

【0015】図1において、左側の素子がNpn型トランジスタであり右側がPnp型トランジスタである。符号は21が半絶縁性GaAs基板、22が p^+ 型GaAs層、23が p^- 型Al_{0.3}Ga_{0.7}As層、24が p^- 型半導体層である p^- 型Al_{0.3}Ga_{0.7}As層、25が高濃度 n 型半導体層である n^+ 型Al_{0.3}Ga_{0.7}As層、26が低濃度 n 型半導体層である n^- 型GaAs層、27が低濃度 p 型半導体層である p^- 型GaAs層、28が高濃度 p 型半導体層である p^+ 型Al_{0.3}Ga_{0.7}As層、29が n 型半導体層である n 型Al_{0.3}Ga_{0.7}As層、30が n 型Al_{0.3}Ga_{0.7}As層、31が n^- 型GaAs層、11、12、13、14、15、16がそれぞれ電極、17が素子分離領域を示す。

20 【0016】Npn型トランジスタにおいて基板21側からコレクタ／ベース／エミッタ構造となっており、ベース層は高濃度 p 型半導体層である p^+ 型Al_{0.3}Ga_{0.7}As層28である。

【0017】このとき、エミッタ層は n 型半導体層である n 型Al_{0.3}Ga_{0.7}As層29であり n^- 型GaAs層31はエミッタ電極11とオーミック接合をとるためのエミッタコンタクト層である。また、 n 型Al_{0.3}Ga_{0.7}As層30は n^- 型GaAs層31と n 型Al_{0.3}Ga_{0.7}As層29とのバンドを連続的につなぐためのグレーディング層である。

30 【0018】コレクタ層はベース側から低濃度 p 型半導体層である p^- 型GaAs層27／低濃度 n 型半導体層である n^- 型GaAs層26の積層構造となっており、この時高濃度 n 型半導体層である n^+ 型Al_{0.3}Ga_{0.7}As層25はコレクタ電極13とオーミック接合をとるためのサブコレクタ層である。

【0019】Pnp型トランジスタにおいて基板21側からエミッタ／ベース／コレクタ構造となっており、ベース層は高濃度 n 型半導体層である n^+ 型Al_{0.3}Ga_{0.7}As層25である。

(4)

特開平7-94593

5

この時高濃度p型半導体層であるp⁺型Al_xGa_{1-x}As層28はコレクタ電極14とオーミック接合をとるためのサブコレクタ層である。

【0022】以下に上記した構造を有する相縮型半導体装置の製造方法を説明する。図2に示すように、先ず半絶縁性GaAs基板21上に順次、p⁺型GaAs層22(Be濃度=5×10¹⁹cm⁻³、厚さ500nm)、p型Al_xGa_{1-x}As層23(x=0→0.3、Be濃度=1×10¹⁸cm⁻³、厚さ30nm)、p型半導体層であるp型Al_xGa_{1-x}As層24(Be濃度=1×10¹⁹cm⁻³、厚さ500nm)、高濃度n型半導体層であるn⁺型Al_xGa_{1-x}As層25(x=0.1→0、Si濃度=5×10¹⁹cm⁻³、厚さ50nm)、低濃度n型半導体層であるn⁻型GaAs層26(Si濃度=1×10¹⁷cm⁻³、厚さ100nm)、低濃度p型半導体層であるp⁻型GaAs層27(Be濃度=1×10¹⁷cm⁻³、厚さ100nm)、高濃度p型半導体層であるp⁺型Al_xGa_{1-x}As層28(x=0→0.1、Be濃度=5×10¹⁹cm⁻³、厚さ50nm)、n型半導体層であるn型Al_xGa_{1-x}As層29(Si濃度=1×10¹⁸cm⁻³、厚さ50nm)、n型Al_xGa_{1-x}As層30(x=0.3→0、Si濃度=1×10¹⁸cm⁻³、厚さ30nm)、n⁺型GaAs層31(Si濃度=5×10¹⁹cm⁻³、厚さ50nm)を例えばMBE法によりエピタキシャル成長する。

【0023】ここで、上記n型ドーパントとしてはSi以外にSn、p型ドーパントとしてはBe以外にCを用いても良い。また膜成長はMBE法以外にもCBE法、MOCVD法等で行っても良い。

【0024】次に、MBE成長された前記半導体層上に、例えばCVD法によりSiO₂膜を形成し、レジストを塗布後フォトリソにより前記SiO₂を素子を分離する部分を開口するようにパターン形成する。この素子分離部分にイオン注入による高抵抗化領域作製もしくはメサエッチングにより、素子間分離を行う(図1中素子分離領域17の形成)。

【0025】次に、図3に示すように、再びフォトリソによりパターン形成し、SiO₂膜41及び半導体層をエッチングすることによって、Npn型トランジスタにおけるベース電極及びPnp型トランジスタにおけるコ

6

pnp型トランジスタにおけるコレクタ電極及びPnp型トランジスタにおけるベース電極を形成する部分(図1中bの部分)のn⁺型Al_xGa_{1-x}As層25を露出させる。

【0028】この時次に例えばH⁺イオン注入により、Pnp型トランジスタにおけるベース電極下のp型Al_xGa_{1-x}As層25及びp型Al_xGa_{1-x}As層23を高抵抗化(図4の18の部分)しベース・エミッタ容量を低減する。このH⁺イオン注入の条件は、例えば加速電圧150KeV、ドーズ量8×10¹¹cm⁻²である。イオン注入により高抵抗化する領域18はNpn型トランジスタにおいては、動作に関係のない層であるため、この工程によるNpn型トランジスタに対する影響は生じない。

【0029】次に例えばAuGe/Auを真空蒸着し、リフトオフ、ランプアニール炉において合金化を行うことにより、同時にNpn型トランジスタに対するコレクタ電極13とPnp型トランジスタに対するベース電極15を作製する。

【0030】ところで、上記イオン注入により高抵抗化する層であるp型Al_xGa_{1-x}As層25及びp型Al_xGa_{1-x}As層23は表面から深い層であり、またドーピング濃度も1×10¹⁹cm⁻³と比較的高い層であるので、この一連のイオン注入、エッチング、電極蒸着の工程は一部順序を変えて、31、30、29、28、27、26の各層の途中までエッチングしてから、イオン注入によりp型Al_xGa_{1-x}As層25及びp型Al_xGa_{1-x}As層23の領域18の部分の高抵抗化を行い、再びエッチングをし、n⁺型Al_xGa_{1-x}As層25を露出させ、電極を蒸着するという順序にしても良い。この場合、最初のエッチングにより残す層厚によってイオン注入の加速電圧は適宜調節する必要がある。

【0031】次に、再びレジストを塗布しパターン形成しエッチングすることによって、Pnp型トランジスタにおけるエミッタ電極を形成する部分(図1中cの部分)のp⁺型GaAs層22を露出させる。

【0032】次に例えばCr/Auを真空蒸着し、リフトオフを行うことにより、図5(a)に示すようにPnp型トランジスタに対するエミッタ電極16を作製す

(5)

特開平7-94593

7

例によれば、電流領域がコレクタ電流密度 $1 \times 10^3 \text{ A/cm}^2$ においてNpn型トランジスタでは遮断周波数 $f_T = 120 \text{ GHz}$ 、Pnp型トランジスタでは遮断周波数 $f_T = 30 \text{ GHz}$ が達成できる。また、ベース・コレクタ間耐圧は7Vである。

【0034】本実施例の相補型半導体装置においてコレクタ電流密度が $1 \times 10^3 \text{ A/cm}^2$ と高い電流領域での動作が可能となり遮断周波数もNpn型トランジスタで 120 GHz 、Pnp型トランジスタで 30 GHz と動作速度も格段に改善されるものである。

【0035】また、本実施例の構造においては、半絶縁性GaAs基板を用いており、Npn型HBT領域とPnp型HBT領域との間はイオン注入による高抵抗化領域で電氣的に分離されている。またNpn型HBTにおけるサブコレクタ層25に比べて、Npn型HBTにとっては不必要なその下のp層24のドーピング濃度は低くp層24からサブコレクタ層25への空乏層の伸びは 10 nm 以下であり、サブコレクタ層25がすべて空乏化することはない。従って、Npn型HBTにとって不必要なp層24、p層23、p'層22は電氣的にはオープンの状態であり、このNpn型HBT領域において不必要な層も含めたサイリスタがオン状態にスイッチされる心配はない。したがって、ラッチアップが起こる心配はないが、p層24、23及びp+層22をイオン注入等により高抵抗化することも可能である。

【0036】

【発明の効果】以上説明したように本発明によれば、1回の成長により高い電流領域で使用可能で高速動作可能なnnp型トランジスタ及びpnp型トランジスタを同時に基板上に形成することができ、極めて高性能な相補*

8

*型半導体装置を提供できるものである。

【図面の簡単な説明】

【図1】 本発明一実施例に係わる相補型半導体装置の断面図。

【図2】 実施例の製造工程を施す前のエピタキシャル層を示す図。

【図3】 実施例の製造工程を説明するための図。

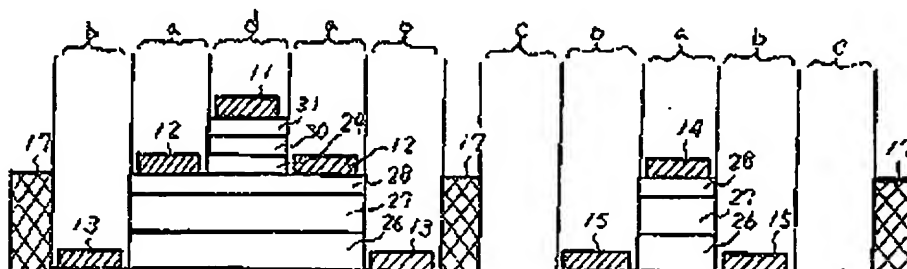
【図4】 実施例の製造工程を説明するための図。

【図5】 実施例の製造工程を説明するための図。

10 【符号の説明】

- 11: Npn型トランジスタのエミッタ電極
- 12: Npn型トランジスタのベース電極
- 13: Npn型トランジスタのコレクタ電極
- 14: Pnp型トランジスタのコレクタ電極
- 15: Pnp型トランジスタのベース電極
- 16: Pnp型トランジスタのエミッタ電極
- 17: 素子分離領域
- 18: 高抵抗化された領域
- 21: 半絶縁性GaAs基板
- 22: p'型GaAs層
- 23: p型Al_{0.1}Ga_{0.9}As層
- 24: p型Al_{0.1}Ga_{0.9}As層
- 25: n'型Al_{0.1}Ga_{0.9}As層
- 26: n'型GaAs層
- 27: p-型GaAs層
- 28: p'型Al_{0.1}Ga_{0.9}As層
- 29: n型Al_{0.1}Ga_{0.9}As層
- 30: n型Al_{0.1}Ga_{0.9}As層
- 31: n'型GaAs層
- 41: SiO₂膜

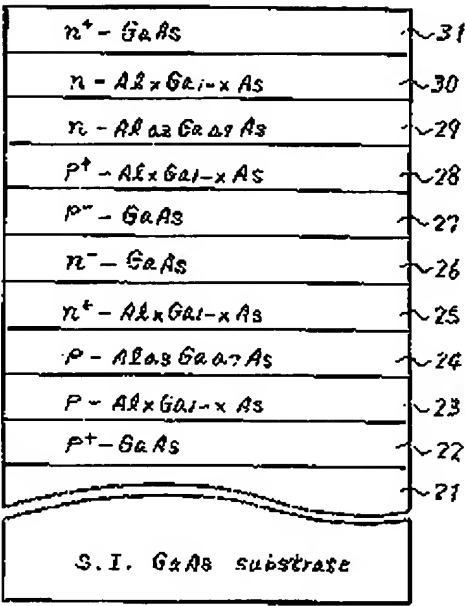
【図1】



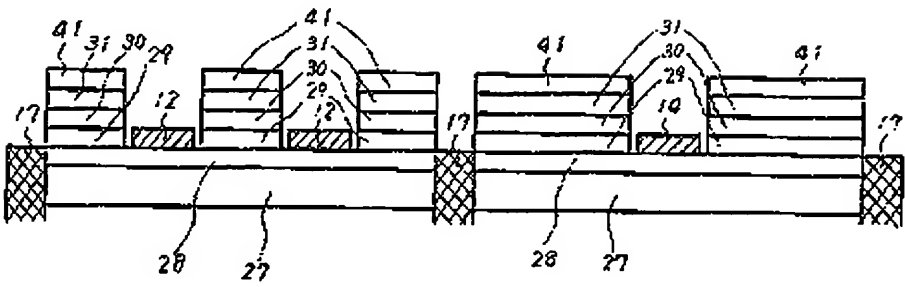
(5)

特開平7-94593

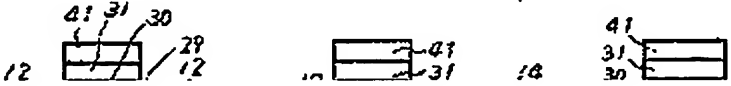
【図2】



【図3】



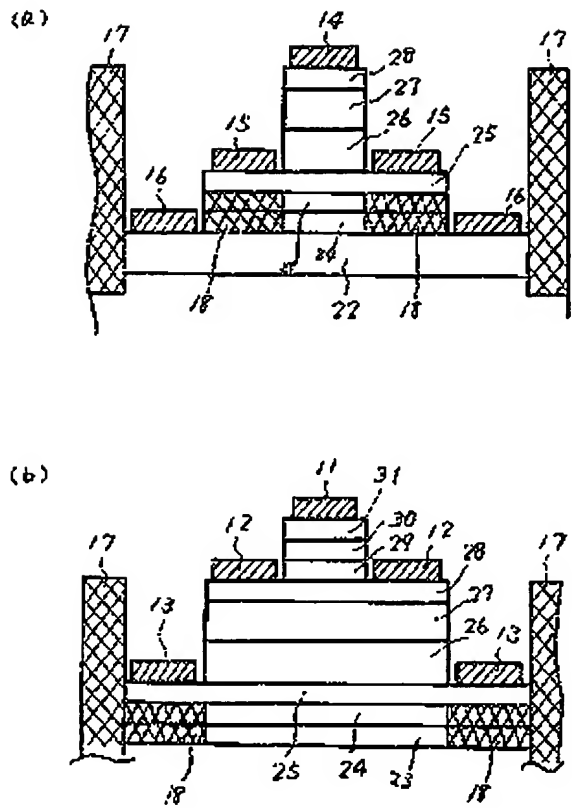
【図4】



(7)

特開平7-94593

【図5】



フロントページの続き

(51)Int.Cl.[°]
H01L 29/73

識別記号 片内整理番号 F I

技術表示箇所